

⑤1

Int. Cl. 2:

H 04 L 25/48

①9

BUNDESREPUBLIK DEUTSCHLAND



DT 25 16 029 A 1

①1

Offenlegungsschrift 25 16 029

②1

Aktenzeichen:

P 25 16 029.6

②2

Anmeldetag:

12. 4. 75

④3

Offenlegungstag:

21. 10. 76

③0

Unionspriorität:

③2 ③3 ③1

—

⑤4

Bezeichnung:

Verfahren zum Verwürfeln digitaler Nachrichtenfolgen

⑦1

Anmelder:

Licentia Patent-Verwaltungs-GmbH, 6000 Frankfurt

⑦2

Erfinder:

Matt, Hans Jürgen, Dipl.-Ing., 1000 Berlin

L i c e n t i a
Patent-Verwaltungs-GmbH
6000 Frankfurt (Main) 70, Theodor-Stern-Kai 1

Ulm(Donau), 10. April 1975
PT-UL/Sar/ve UL 71/40

"Verfahren zum Verwürfeln digitaler Nachrichtenfolgen"

Die Erfindung betrifft ein Verfahren zum 'Verwürfeln' digitaler Nachrichtenfolgen, bei dem sendeseitig zur Nachrichtenfolge eine bestimmte Bitmusterfolge mod 2-addiert und diese empfangsseitig von der einlaufenden Bitfolge mod 2-subtrahiert wird.

Bei der Übertragung digitaler Nachrichten über Datenkanäle tritt häufig das Problem auf, daß die zur Übertragung notwendige Synchronisation von Bit- und Blocktakt, die aus dem gesendeten Signal gewonnen wird, bei Pausen im Signalfluß (die Quelle sendet dann im Dauerstrich 0 oder 1 aus) ausfallen kann.

-2-

Ein ähnliches Problem besteht z. B. bei der Anwendung von selbstadaptierenden Entzerrern für Datenkanäle, die sich erst dann auf den Kanal einstellen können, wenn möglichst alle Eigenschaften des Kanals, wie Frequenz- und Phasengang, bekannt sind, was jedoch ein möglichst statistisches Verhalten des Sendesignals voraussetzt.

Da nun im allgemeinen eine Datenquelle kein rein statistisches Programm sendet und in den Sendepausen ein sog. "Dauerstrich" ("0" oder "1") übertragen wird, ist es üblich, die Daten statistisch zu verwürfeln ("scramblen").

Eine erste Möglichkeit zu verwürfeln besteht darin, die Nachrichtenfolge mittels eines Schieberegisters durch ein Generatorpolynom zu dividieren. Empfangsseitig wird dann die Folge, ebenfalls in einem Schieberegister, mit dem Generatorpolynom multipliziert. Division und anschließende Multiplikation heben sich in ihrer Wirkung auf, so daß danach wieder die ursprüngliche Nachrichtenfolge zur Verfügung steht. Das Verfahren hat zwar den Vorteil einer einfachen Realisierung und benötigt höchstens eine Bittaktsynchronisation, weist jedoch den mitunter schwerwiegenden Nachteil auf, daß ein während der Übertragung aufgetretener Fehler am Empfangsort durch die Multiplikation mit dem Generatorpolynom ein ganzes Fehlerbündel verursacht.

609843/0192

ORIGINAL INSPECTED

- 3 -

Eine weitere bekannte Möglichkeit besteht darin, sendeseitig der Datenfolge ein bestimmtes Muster mod 2 hinzuzuaddieren, welches anschließend am Empfangsort wieder abgezogen werden muß. Diesem Verfahren haftet jedoch der Nachteil an, daß der Empfänger zusätzlich zur Bittaktsynchronisation sich auf das additiv überlagerte Muster synchronisieren muß, was nur durch Hinzufügen weiterer Synchronisationsmuster (also Redundanz) bewerkstelligt werden kann.

Der Erfindung liegt die Aufgabe zugrunde, bei einem Verfahren der eingangs genannten Art die vom Stand der Technik bekannten Nachteile zu beheben. Insbesondere soll ein aufgetretener Übertragungsfehler nicht vergrößert werden und selbst bei stärkeren Übertragungsstörungen soll die überlagerte Bitzeichenfolge schnell und sicher ohne großen Aufwand erkennbar sein.

Die Erfindung geht von der Überlegung aus, daß eine Datenquelle, sofern sie Information ausgibt, immer eine gewisse Unkorreliertheit der Daten garantiert, da ja andernfalls keine Information in den Daten vorhanden wäre, so daß man hierbei nicht unbedingt verwürfeln muß.

• 4 -

Gemäß der Erfindung wird die Aufgabe dadurch gelöst, daß bei einem Verfahren der eingangs genannten Art sendeseitig nur in Zeiten, in denen die übertragene Nachrichtenfolge eine "0" oder "1"-Folge der Länge $\geq N$ aufweist, eine "Verwürfelung" erfolgt und empfangsseitig die einlaufende Bitfolge auf das Auftreten der in den Pausenzeiten gesendeten Bitmusterfolge geprüft wird und erst nach Erkennung die mod 2-Subtraktion eingeleitet wird.

Die hierbei notwendige Synchronisation auf die Bitmusterfolge wird in einfacher Weise durch eine Schaltung zur Korrelationsbestimmung durchgeführt. Dieses Verfahren kommt ohne zusätzliche Redundanz aus, weil die Bitmusterfolge während einer Sendepause seitens der Datenquelle übertragen wird und somit zwei Funktionen übernimmt

- 1) die Funktion des Verwürfelns
- 2) die nötige Synchronisation auf das während der Pause gesendete Muster mit beliebig groß zu machender Sicherheit.

Weitere vorteilhafte Ausgestaltungen der Erfindung sind in den Unteransprüchen angegeben.

· 5 ·

Mit Hilfe des an sich bekannten Korrelationsempfanges ist eine selbst bei starken Übertragungsstörungen sichere Erkennung der Folge möglich, wobei die Sicherheit der Erkennung eine Funktion der Bitfehlerwahrscheinlichkeit und der Länge N der Bitmusterfolge ist.

Bei Auftreten einer Korrelationsspitze ist am Empfangsort eine "O" oder "L"-Folge der Länge $\geq N$ am Ausgang der Senke zu erwarten. Daher werden bei Auftreten eines Zeichenwechsels Übertragungsfehler angezeigt. Diese können innerhalb der Sendung des Dauerstrichs korrigiert werden, indem am Ausgang der Senke das Symbol größter Häufigkeit abgegeben wird.

Die Erfindung wird nun anhand eines Ausführungsbeispiels näher erläutert.

Figur 1 zeigt eine sendeseitige Datenquelle 1 sowie eine mit ihr verbundene Verzögerungsleitung 2 der Länge N . Als Verzögerungsleitung kann auch ein N -stufiges Schieberegister verwendet werden. Die Verzögerungsleitung ist angezapft bzw. die einzelnen Schieberegisterstufen sind zugänglich, um mittels einer Prüfschaltung 3 (UND-Verknüpfung) feststellen zu können, wann nur Dauerstrich "O" und "L" gesendet wird.

- 6 -

Wenn die Datenquelle selbst in der Lage ist, eine Sendepause der Mindestlänge N anzuzeigen, so können die Elemente 2 und 3 entfallen.

Wird nun eine Dauerstrichsendung festgestellt, so wird von der Prüfschaltung ein Bitmuster-Generator 4 gestartet, dessen Bitmusterfolge mittels eines mod 2-Addierers 5 zu den Nachrichtenbits (Dauerstrich) am Ausgang der Verzögerungsleitung 2 addiert wird und anschließend auf den Kanal gelangt.

Die Bitmusterfolge des Generators 4 soll so lang wie die Registerlänge N sein und über diese Länge eine gute Autokorrelationsfunktion haben. Hierzu ist besonders ein Barker-Code oder eine Pseudo-Noise-Sequenz geeignet.

Man kann die Bitmusterfolge auch länger als N wählen, insbesondere dann, wenn die Datenquelle am Ende einer Pause vorzugsweise ein kurzes periodisches Muster sendet, um evtl. nachgeschalteten Geräten eine schnelle Bittaktsynchronisation zu erlauben.

- 7 -

Figur 2 zeigt die Einrichtung zur Rückgewinnung der ursprünglichen Nachrichtenfolge. Es wird ebenfalls eine Verzögerungsleitung 12, insbesondere ein Schieberegister der Länge N verwendet (Fig. 2), die ebenfalls angezapft ist, deren Anzapfungen über multiplikative Bewertungsglieder 6 geführt sind, deren Ausgangssignale im Summierglied 7 aufsummiert werden und schließlich in einem Komparator 8 mit einer Schwelle 9 verglichen werden. Das Summierglied enthält außerdem einen Betragsbildner, weil das Auftreten einer Korrelationsspitze nur als Startimpuls für einen Bitmustergenerator 10 verwendet wird, der das gleiche Muster wie der sendeseitige Generator erzeugt und somit exakt synchron die Bitmusterfolge erzeugt, die von der einlaufenden Bitfolge subtrahiert werden muß, um den von der Datenquelle gesendeten Dauerstrich "0" oder "L" zu erhalten.

Zur Ermittlung der Zeiten, in denen die übertragende Nachrichtenfolge eine "0"- oder "L"-Folge der Länge $\geq N$ aufweist, wird gemäß Fig. 1 eine Prüfschaltung 3 verwendet, die an den an jeder Stufe des Schieberegisters 2 vorgesehenen Anzapfungen angeschlossen ist und beispielsweise aus zwei UND-Gliedern, deren jeweils N Eingänge parallel geschaltet sind, wobei der eine Ausgang eines UND-Gliedes invertiert ist (NAND-Verknüpfung), und einer nachfolgenden ODER-Schaltung besteht.

~~-8-~~

In Fig. 3 ist ein vorteilhaftes Ausführungsbeispiel zur Durchführung des erfindungsgemäßen Verfahrens für den Fall gezeigt, daß eine Verzögerungsleitung 2 mit Anzapfungen in der Herstellung zu teuer ist. Die Prüfschaltung 3 ist hier als Prüfschaltung 31 zwischen Datenquelle 1 und einer anzapfungsfreien Verzögerungsleitung 21 der Länge N geschaltet und kann beispielsweise mittels zweier Zähler realisiert werden, von denen der erste Zähler nur "0"-Folgen zählt und durch ein Bit der anderen Art, also einer Logischen "L", auf den Anfangszählwert zurücksetzbar ist. Der zweite Zähler dagegen zählt lediglich "L"-Folgen und wird beim Auftreten einer Logischen "0" auf den Anfangszählwert zurückgesetzt. Beide Zähler können bis N zählen und geben beim Erreichen des Zählstandes N unabhängig voneinander, beispielsweise über eine ODER-Schaltung, das Startsignal für den Bitmuster-generator 4.

In Fig. 4 ist ein Ausführungsbeispiel einer Prüfschaltung zur Verwendung in der in Fig. 3 dargestellten Schaltung gezeigt, bei der der zweite Zähler eingespart ist. Der Zähler 313 zählt lediglich "0"-Folgen und wird bei jedem an seinem Rücksetzeingang "reset" erscheinenden "L"-Bit auf seinen Anfangswert zurückgesetzt. Beim Zählerstand N gibt er das gewünschte Startsignal an den Bitmuster-generator ab.

Zur Erzeugung einer Nullenfolge, auch beim Einlaufen einer "L"-

.9-

Folge in die Prüfschaltung, werden dem Zähler 313 die Datenbits über einen Modulo-2-Addierer 312 zugeführt, dessen zweiter Eingang am Ausgang eines D-Flip-Flops 311 angeschlossen ist. Die Datenbits werden ebenfalls an den Dateneingang D des D-Flip-Flops angelegt. Das D-Flip-Flop kippt beim Eintreffen des Bittaktes an seinem Takteingang derart, daß an seinem Q-Ausgang der Wert erscheint, der beispielsweise während der abfallenden Bittaktflanke am D-Eingang anliegt. Auf diese Weise erscheinen bei einer Folge gleicher Bits am Eingang der Prüfschaltung an beiden Eingängen des Modulo-2-Addierers 312 ebenfalls gleiche Bits. Diese ergeben am Ausgang des Modulo-2-Addierers vom Zähler 313 zählbare "0"-Folgen.

Bei jedem Wechsel der in die Prüfschaltung 31 einlaufenden Bits erscheinen bis zum Zeitpunkt des Abfalls des Bittaktes am D-Flip-Flop-Takteingang unterschiedliche Datenbits an den beiden Eingängen des Modulo-2-Addierers, wodurch letzterer ein binäres "L"-Bit ausgibt, das zur Rücksetzung des Zählers führt.

P a t e n t a n s p r ü c h e

1. Verfahren zum Verwürfeln digitaler Nachrichtenfolgen, bei dem sendeseitig zur Nachrichtenfolge eine bestimmte Bitmusterfolge mod 2-addiert und diese empfangsseitig von der einlaufenden Bitfolge mod 2-subtrahiert wird, dadurch gekennzeichnet, daß sendeseitig nur in Zeiten, in denen die übertragene Nachrichtenfolge eine "0"- oder "1"-Folge der Länge $\geq N$ aufweist, eine "Verwürfelung" erfolgt und empfangsseitig die einlaufende Bitfolge auf das Auftreten der in den Pausenzeiten gesendeten Bitmusterfolge geprüft wird und erst nach Erkennung die mod 2-Subtraktion eingeleitet wird.
2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß für die Bitmusterfolge eine Länge $\geq N$ gewählt wird und die ersten N-Bits der Bitmusterfolge eine Autokorrelationsfunktion mit hohem Haupt- zu Nebenzipfelverhältnis besitzen.
3. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß für die ersten N-Bits der Bitmusterfolge ein Barker-Code oder eine PN-Sequenz verwendet wird.

- 11 -

4. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß eine Erkennung von Übertragungsfehlern durchgeführt wird.
5. Verfahren nach Anspruch 2, dadurch gekennzeichnet, daß eine Korrektur von Übertragungsfehlern durchgeführt wird.
6. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Ermittlung der Zeiten, in denen die übertragene Nachrichtenfolge eine "0"- oder "L"-Folge der Länge N aufweist, ein Schieberegister (2) mit Anzapfungen und an diesen angeschlossene UND-Glieder verwendet werden.
7. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Ermittlung der Zeiten, in denen die übertragene Nachrichtenfolge eine "0"- oder "L"-Folge der Länge $\geq N$ aufweist, ein Zähler (313) verwendet wird, der aufeinanderfolgende Bits der gleichen Art zählt, beim Zählerstand N ein Startsignal an einen Bitmuster-generator (4) zur "Verwürfelung" abgibt und beim Auftreten eines Bits der jeweiligen anderen Art auf den Zählerstand "0" zurückgesetzt wird.

-13-

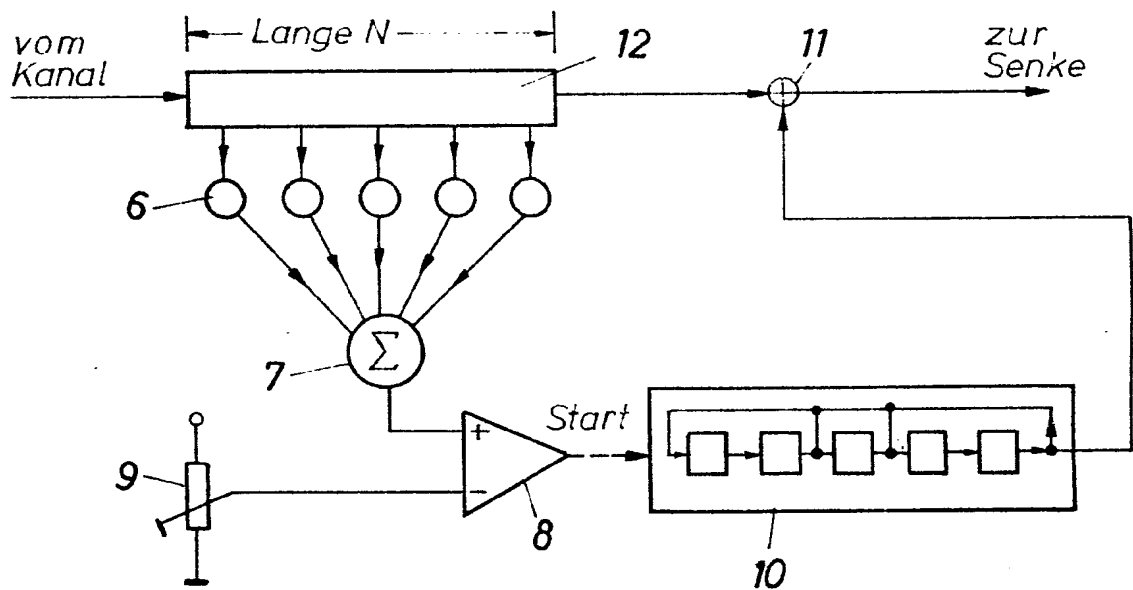
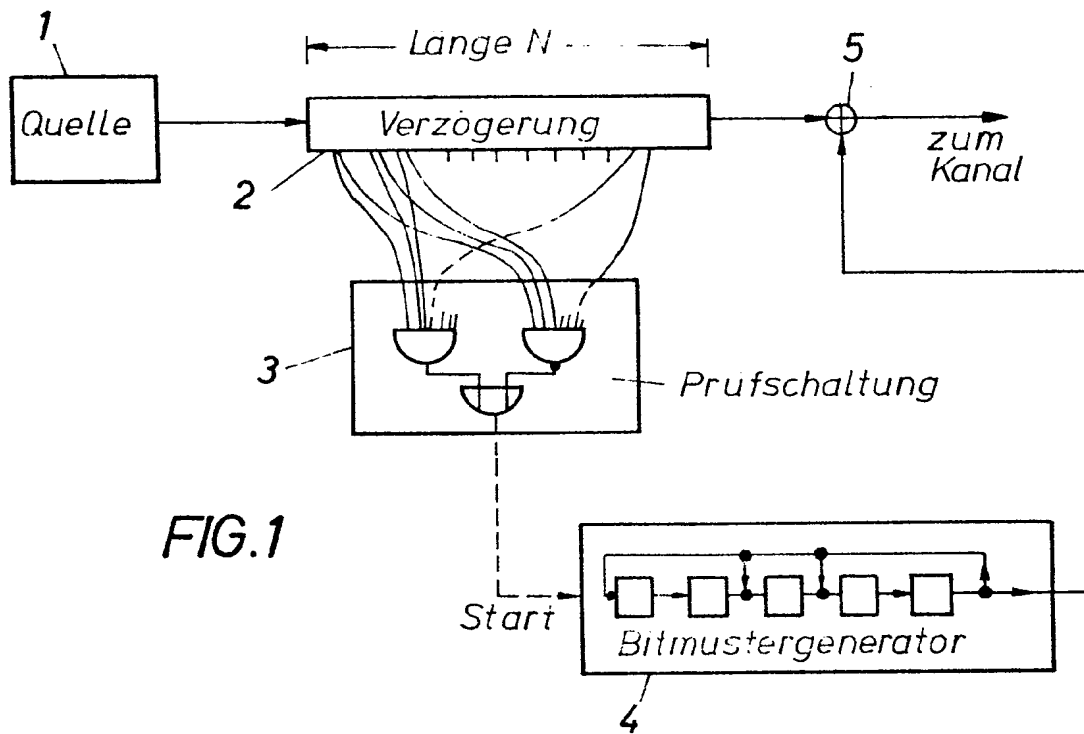


FIG. 2

609843/0192

H04L

25-48

AT:12.04.1975 DT:21.10.1976

ORIGINAL INSPECTED

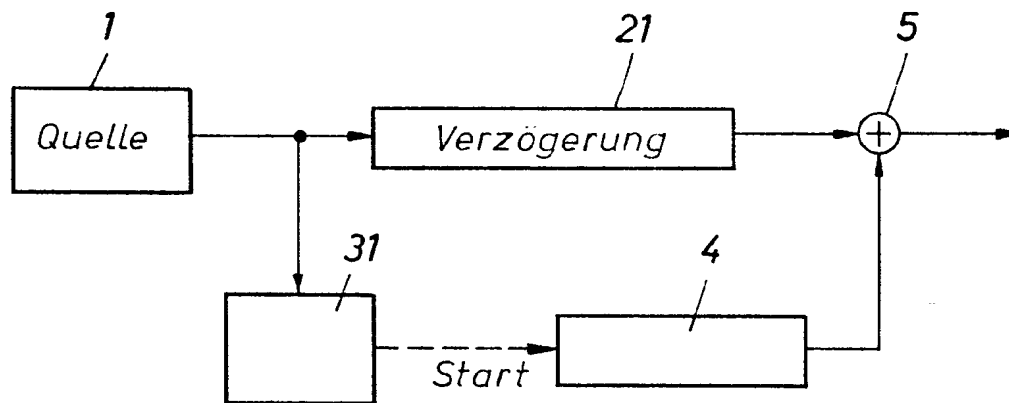


FIG. 3

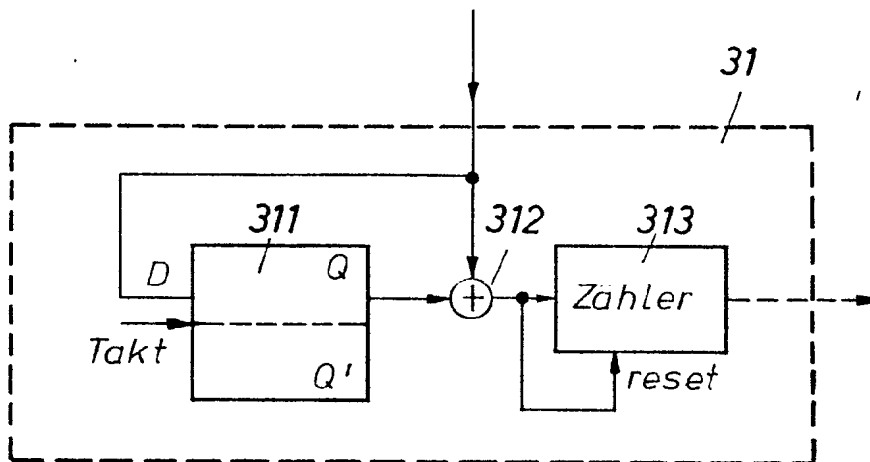


FIG. 4